

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/380

In re patent application of

Soo-doo CHAE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: SINGLE ELECTRON TRANSISTOR HAVING MEMORY FUNCTION AND
METHOD OF MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-7758, filed February 7, 2003.

Respectfully submitted,

February 9, 2004
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0007758
Application Number

출원년월일 : 2003년 02월 07일
Date of Application FEB 07, 2003

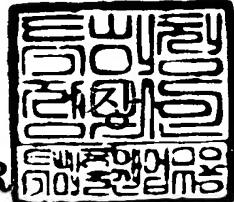
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.02.07
【국제특허분류】	H01L
【발명의 명칭】	메모리 기능을 갖는 단전자 트랜지스터 및 그 제조방법
【발명의 영문명칭】	Single electron transistor having memory function and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	채수두
【성명의 영문표기】	CHAE, Soo Doo
【주민등록번호】	700222-1490014
【우편번호】	157-030
【주소】	서울특별시 강서구 등촌동 코오롱아파트 101동 1206호
【국적】	KR
【발명자】	
【성명의 국문표기】	김정우
【성명의 영문표기】	KIM, Chung Woo
【주민등록번호】	601107-1090115
【우편번호】	463-727

【주소】 경기도 성남시 분당구 내정동 파크타운 대림아파트 101동
705호

【국적】 KR

【발명자】

【성명의 국문표기】 김주형

【성명의 영문표기】 KIM, Ju Hyung

【주민등록번호】 730127-1402720

【우편번호】 449-852

【주소】 경기도 용인시 모현면 능원리 51-2 정암빌라 가동 401호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다
리인
필 (인) 대리인
이해영 (인) 이영

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	17	면	17,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	46,000 원		

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

메모리 기능을 갖는 단전자 트랜지스터 및 그 제조 방법에 관해 개시되어 있다. 개시된 단전자 트랜지스터는 순차적으로 적층된 제1 기판 및 절연막과, 상기 절연막 상에 적층되어 소오스 영역, 채널영역 및 드레인 영역으로 구분된 제2 기판과, 상기 제2 기판 상에 형성된 터널링 막과, 상기 채널영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 터널링 막 상에 형성된 적어도 두 개의 트랩층들 및 상기 적어도 두 개의 트랩층 사이의 상기 터널링 막과 접촉된 게이트 전극을 구비한다. 이러한 단전자 트랜지스터를 이용하면, 구성이 단순하고 단일 게이트 전극을 구비하기 때문에, 제조 공정 및 동작회로를 단순화할 수 있고, 전력 소모도 줄일 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

메모리 기능을 갖는 단전자 트랜지스터 및 그 제조방법{Single electron transistor having memory function and method for manufacturing the same}

【도면의 간단한 설명】

도 1 및 도 2는 종래 기술에 의한 단전자 트랜지스터의 단면도이다.

도 3 내지 도 12는 각각 본 발명의 제1 내지 제10 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터의 단면도이다.

도 13은 본 발명의 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터의 트랩층에 전자가 트랩되기 전후에 채널영역에서 존재하는 에너지 장벽을 보여주는 단면도이다.

도 14는 본 발명의 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터의 양자점크기에 따른 진동주기전압(oscillation period voltage) 및 커패시턴스의 변화를 보여주는 그래프이다.

도 15는 본 발명의 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터에 인가되는 컨트롤 게이트 전압에 따른 드레인 전류를 보여주는 그래프이다.

도 16 내지 도 20은 본 발명의 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터의 제조 방법을 단계별로 나타낸 단면도들이다.

도면의 주요 부분에 대한 부호설명

50, 54: 제1 및 제2 기판

52, 57, 72, 76, 82, 84, 88: 제1 내지 제7 절연막

54S:소오스 영역

54D:드레인 영역

54C:채널영역

56:양자점

58:트랩 불질충

60:게이트 전극

64a, 64b, 64c, 70:제1 내지 제4 양자점

58a, 58b, 62a, 62b, 66a, 66b, 66c, 66d, 68a, 68b, 68c, 68d, 74, 84a, 84b:제3

내지 제15 트랩충

78a, 78b:절연막 패턴

80a, 80b:제1 및 제2 도전성 스페이서

86:하부 게이트

90a, 90b:제1 및 제2 상부 게이트

D:제1 및 제2 트랩충사이의 간격 D1, D2, D3:제1 내지 제3 간격

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 트랜지스터 및 그 제조 방법에 관한 것으로서, 자세하게는 메모리 기능을 갖는 단전자 트랜지스터 및 그 제조 방법에 관한 것이다.

<19> 양자점이나 0.1 nm하 크기의 단전자 접합으로 이루어진 소자의 경우, 외부에서 인가하는 전압을 조절함으로써 전자 하나 하나의 움직임을 조절해줄 수 있는데, 이것을 단전자 효과라 하며, 이러한 효과를 이용한 소자를 단전자 소자, 예컨대 단전자 트랜지스터(SET)라 한다.

<20> 단위 SET는 소오스와 드레인사이에 나노크기의 한 개의 양자점과 이와 전기용량적으로 커플링된 게이트 전극으로 구성된다.

<21> 도 1을 참조하면, 종래 기술에 의한 단전자 트랜지스터는 절연층(10)의 소정 영역 상에 게이트 전극(16)이 형성되어 있고, 그 양쪽에서 절연층(10)이 소정 두께만큼 제거되어 있고, 그 자리에 도전막(20, 22)이 형성되어 있다. 제1 도전막(20) 아래의 절연층(10)에 소오스 영역(12)이 존재하고, 제2 도전막(22) 아래의 절연층(10)에 드레인 영역(14)이 존재한다. 소오스 및 드레인 영역(12, 14)은 게이트 전극(16) 아래까지 확장되어 있다. 게이트 전극(16) 아래쪽 절연층(10)에 전자(e)가 트랩되는 양자점(quantum dot)(18)이 존재한다. 양자점(18)은 소오스 및 드레인 영역(12, 14)사이에 존재한다.

<22> 도 1에 도시된 단전자 트랜지스터의 경우, 양자점(18)을 균일하게 그리고 정확히 형성해야하는데 현실적으로 어려움이 많고, 따라서 재현성이 낮은 문제가 있다.

<23> 이러한 문제점을 해소하기 위해 여러 형태의 단전자 트랜지스터가 등장하였는데, 도 2는 그 중 하나에 대한 단면도이다.

<24> 도 2를 참조하면, 기판(30) 상에 산화막(32)이 존재하고, 산화막(32) 상에 실리콘층(34)이 존재한다. 실리콘층(34)은 소오스 영역(34a), 채널영역(34b) 및 드레인 영역(34c)으로 구분된다. 채널영역(34b)에 양자점(34e)이 형성된다. 이러한 실리콘층(34)으로부터 이격된 위쪽에 양자점(34e)을 중심으로 좌우 대칭을 이루는 질화막(36a, 36b)이 존재한다. 양자점(34e)은 질화막(36a, 36b)에 전하가 차징(charging)됨으로써 형성된다. 질화막(36a, 36b)의 마주하는 면에 폴리 실리콘으로 구성된 디플리션 게이트(depletion gate)(38a, 38b)가 스페이서 형태로 존재한다. 디플리션 게이트(38a, 38b)는 양자점(34e) 만큼 이격되어 있다. 질화막(36a, 36b)으로부터 이격된 위쪽에 폴리 실리콘으로 구성된 컨트롤 게이트(40)가 존재한다. 컨트롤 게이트(40)의 디플리션 게이트(38a, 38b) 사이에 대응되는 부분은 양자점(34e)을 향해 하향 돌출된 형태로 디플리션 게이트(38a,

38b) 가까이에 존재한다. 실리콘층(34)과 질화막(36a, 36b)과 컨트롤 게이트(40)사이에는 충간 절연막으로 채워져 있다.

<25> 이와 같이 도 2에 도시된 종래의 단전자 트랜지스터의 경우, 질화막(36a, 36b)에 전자를 차징하여 양자점(34e)을 형성하기 때문에, 양자점의 크기나 단전자 차징 효과에 어느 정도의 재현성을 갖고 있다. 그러나 상기한 바와 같이 디플리션 게이트(38a, 38b)와 컨트롤 게이트(40)와 같이 두 개 이상의 게이트가 구비되기 때문에, 전력 소모가 크고, 동작회로 및 제조 공정이 복잡한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 제조공정 및 동작회로를 간단하게 하면서 전력 소모도 줄일 수 있는 메모리 기능을 갖는 단전자 트랜지스터를 제공함에 있다.

<27> 본 발명이 이루고자 하는 다른 기술적 과제는 이러한 단전자 트랜지스터의 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

<28> 상기 기술적 과제를 달성하기 위하여, 본 발명은 순차적으로 적층된 제1 기

판 및 절연막, 상기 절연막 상에 적층되어 소오스 영역, 채널영역 및 드레인 영역으로 구분된 제2 기판, 상기 제2 기판 상에 형성된 터널링 막, 상기 채널영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 터널링 막 상에 형성된 적어도 두 개의 트랩충들 및 상기 적어도 두 개의 트랩충들사이의 상기 터널링 막 및 상기 트랩충들과 접촉된 게이트 전극을 구비하는 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터를 제공한다.

<29> 본 발명은 또한 상기 기술적 과제를 달성하기 위하여, 순차적으로 적층된 제1 기판 및 제1 절연막, 상기 제1 절연막 상에 적층되어 소오스 영역, 채널영역 및 드레인 영역으로 구분된 제2 기판, 상기 제2 기판 상에 형성된 제2 절연막, 상기 채널영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 제2 절연막에 내재되어 상기 채널영역으로부터 터널링되는 전자가 트랩되는 적어도 두 개의 트랩충들 및 상기 제2 절연막 상에 형성된 게이트 전극을 구비하는 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터를 제공한다.

<30> 여기서, 상기 트랩충들은 실리콘 나이트라이드와 같이 박막내부에 트랩사이트를 가지고 있는 물질이거나 각각 상기 제2 절연막에 의해 완전히 둘러싸인, 도전성 실리콘충 및 도전성 게르마늄충을 포함하는 도전성 물질충들로 이루어진 군 중 선택된 어느 하나이다.

<31> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 제1 반도체층 상에 절연막 및 제2 반도체층을 순차적으로 형성하는 제1 단계, 상기 제2 반도체층 상에 터널링 막을 형성하는 제2 단계, 상기 제2 반도체층의 소정 영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 터널링 막 상에 적어도 두 개의 트랩충들을 형성하는 제3

단계, 상기 트랩충들사이의 상기 터널링 막과 접촉되도록 게이트 전극을 형성하는 제4 단계 및 상기 제2 반도체층에 도전성 불순물이 도핑된 소오스 및 드레인 영역을 형성하되, 상기 트랩충들사이의 간격보다 넓게 형성하는 제5 단계를 포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법을 제공한다.

<32> 상기 제4 단계에서 상기 게이트 전극은 상기 트랩충들의 전면 또는 일부 영역 상에 형성한다.

<33> 상기 제4 단계는 상기 트랩충들을 덮도록 상기 터널링 막을 성장시키는 단계 및 상기 트랩충들 상으로 성장된 상기 터널링 막의 전면에 상기 게이트 전극을 형성하는 단계를 더 포함하거나 상기 트랩충들을 덮도록 상기 터널링 막을 성장시키는 단계 및 상기 트랩충들 상으로 성장된 상기 터널링 막의 일부 영역 상에 상기 게이트 전극을 형성하는 단계를 더 포함한다.

<34> 상기 제5 단계는 상기 소오스 및 드레인 영역사이에 대응되는 상기 게이트 전극의 소정 영역 상에 마스크 패턴을 형성하는 단계 및 상기 마스크 패턴이 형성된 면에 상기 도전성 불순물을 이온 주입하는 단계를 더 포함한다.

<35> 상기 제5 단계에서 상기 소오스 및 드레인 영역은 상기 게이트 전극을 마스크로 하여 상기 게이트 전극이 형성된 면에 상기 도전성 불순물을 이온 주입하여 형성한다.

<36> 상기 트랩충들 각각을 완전히 둘러싸도록 상기 터널링 막을 성장시키되, 이때는 실리콘 나이트라이드와 같이 박막내부에 트랩사이트를 가지고 있는 물질이거나 상기 트랩충들을 도전성 실리콘층 및 도전성 게르마늄층을 포함하는 도전성 물질층들로 이루어진 군 중 선택된 어느 하나로 형성하는 것이 바람직하다.

<37> 이와 같이 본 발명에 의한 단전자 트랜지스터는 구성이 단순하고, 단일 게이트 전극이 사용되기 때문에, 본 발명에 의한 단전자 트랜지스터를 이용하는 경우, 제조 공정 및 동작회로를 단순화할 수 있고, 전력 소모를 줄일 수 있다.

<38> 이하, 본 발명의 실시예에 의한 메모리 기능을 갖는 단전자 트랜지스터 및 그 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<39> 먼저, 도 3 내지 도 12를 참조하여 본 발명의 다양한 실시예에 의한 단전자 트랜지스터들을 설명한 다음, 도 16 내지 도 20을 참조하여 그 제조 방법을 설명한다.

<40> <제1 실시 예>

<41> 본 발명의 제1 실시예에 의한 단전자 트랜지스터는 도 3에 도시한 바와 같이, 제1 기판(50) 상에 패드 절연막인 제1 절연막(52)의 소정의 두께로 형성되어 있고, 제1 절연막(52) 위에 단전자 트랜지스터를 구비한다.

<42> 구체적으로, 제1 절연막(52), 예를 들면 실리콘 산화막 등과 같은 베리드 산화막 (buried oxide) 상에 도전성의 제2 기판(54)이 형성되어 있다. 제1 절연막(52)과 제2 기판(54)은 SOI기판을 구성한다. 제2 기판(54)은, 예를 들면 실리콘 기판으로써 도전성을 위해 소정의 제1 도전성 불순물이 소정의 농도로 도핑되어 있다. 제2 기판(54)은 소오스 영역(54S), 채널 영역(54C) 및 드레인 영역(54D)으로 이루어져 있는데, 채널영역(54C)은 소오스 및 드레인 영역(54S, 54D)사이에 위치한다. 채널 영역(54C)의 소정 위치에 전자 가 갇히는, 곧 저장될 수 있는 양자점(56)이 위치한다.

<43> 채널 영역(54C)에 양자점(56)이 존재한다는 것은 양자점(56) 둘레에 에너지 장벽이 존재함을 의미한다. 양자점(56)이 형성되면서 양자점(56) 내에는 전자가 위치할 수 있는 양자화된 에너지 준위가 형성된다. 상기 에너지 준위는 양자점(56) 둘레에 존재하는 에너지 장벽(barrier)의 높이에 따라 달라진다. 곧, 상기 에너지 장벽의 높이가 높을수록 양자점(56) 내에 보다 많은 에너지 준위가 형성된다. 게이트 전극(60)에 인가되는 전압에 의해, 양자점(56)에 유입된 전자가 상기 에너지 준위에 해당되는 에너지를 갖는 경우, 상기 전자는 양자점(56) 둘레에 존재하는 상기 에너지 장벽을 투과하여 소오스 영역(54S)에서 드레인 영역(54D)으로 흐를 수 있다. 양자점(56)에 유입되는 전자가 어느 에너지 준위를 갖느냐는 게이트 전극(60)에 인가되는 전압에 따라 정해지는데, 상기 에너지 준위가 양자화된 것을 고려할 때, 게이트 전극(60)에 인가되는 전압 또한 양자화된다는 것을 알 수 있다. 다시 말하면, 양자점(56)에서의 에너지 준위가 양자화되었기 때문에, 상기 에너지 준위에 해당되는 게이트 전압이 인가될 때만 소오스 영역(54S)에서 드레인 영역(54D)으로 흐르는 전류가 존재하고, 그 외의 게이트 전압에서는 전류가 존재하지 않는다.

<44> 소오스 및 드레인 영역(54S, 54D)은 상기 제1 도전성 불순물과 극성이 반대인 제2 도전성 불순물로 도핑되어 있다. 이때, 상기 제2 도전성 불순물의 농도는 제1 도전성 불순물보다 높은 것이 바람직하다. 제2 기판(54)의 전면에 전자 터널링을 위한 제2 절연막(57), 예를 들면 실리콘 산화막(SiO₂)이 존재하고, 제2 절연막(57) 상에 소정의 간격(D)만큼 떨어진 제1 및 제2 트랩층(58a, 58b)이 존재한다. 제1 및 제2 트랩층(58a, 58b)은 전자가 트랩될 수 있는 트랩 사이트(trap site)가 소정 밀도, 예를 들면 $10^{12}/\text{cm}^2$ 이상 존재하는 유전층으로써 나이트라이드층 (SiN) 또는 PZT층 등이 될 수 있다. 상기

트랩 사이트 밀도를 만족하는 경우, 상기 PZT외의 다른 강유전층이 제1 및 제2 트랩층(58a, 58b)으로 이용될 수 있다. 도 3을 계속 참조하면, 제1 및 제2 트랩층(58a, 58b)상으로 제1 및 제2 트랩층(58a, 58b)사이를 채우는 소정 두께의 게이트 전극(60)이 형성되어 있다.

<45> 게이트 전극(60)에 높은 전압을 인가하는 경우, 채널영역(54C)과 게이트 전극(60)의 커플링(coupling)에 의하여 제1 및 제2 트랩층(58a, 58b)에 전자들이 트랩(trap)된다. 이렇게 제1 및 제2 트랩층(58a, 58b)이 전자로 충전(charging)되는 경우, 제1 및 제2 트랩층(58a, 58b)과 마주하는 채널영역(54C)은 상기 충전된 전자들로 인해, 어큐뮬레이션 층(accumulation layer)으로 남게 되는 반면, 제1 및 제2 트랩층(58a, 58b)사이에 대응되는 채널영역(54C)에 상술한 양자점(56)이 형성된다. 채널영역(56C)의 양자점(56)이 형성된 영역은 충전된 전하가 없기 때문에, 인버전 층(inversion layer)으로 된다. 상기 어큐뮬레이션 층은 베리어(barrier)로 작용하기 때문에, 양자점(56) 둘레에 도 13 (b)에 도시한 바와 같은 에너지 장벽이 형성된다. 도 13 (b)에서 참조부호 E1, En은 양자점(56)에서 전자가 위치할 수 있는 첫 번째 에너지 준위와 n번째 에너지 준위를 나타낸다. 그리고 참조부호 62a'과 62b'는 전자로 충전된 제3 및 제4 트랩층들을 나타낸다.

<46> 제1 및 제2 트랩층(58a, 58b)이 충전되면서 양자점(56)에 형성되는 에너지 준위(E1...En)에 의해 게이트 전압 또한 상기한 바와 같이 양자화되므로, 도 3에 도시한 트랜지스터는 단전자 트랜지스터(SET)와 동일한 동작을 할 것으로 예상할 수 있다.

<47> 상온에서 도 3에 도시한 트랜지스터가 단전자 트랜지스터와 동등한 동작을 하기 위해서는 양자점(56)이 소정의 크기, 예컨대 100nm이하인 것이 바람직하다. 따라서 양자점(56)의 크기를 결정하는 제1 및 제2 트랩층(58a, 58b)사이의 간격(D)은 상온에서

100nm이하인 것이 바람직하다. 온도가 상온보다 낮은 경우, 단전자 트랜지스터 동작을 허용하는 양자점(56)의 크기는, 예컨대 100nm보다 커질 수 있다.

<48> <제2 실시예>

<49> 하기 설명에서, 제1 실시예에 의한 단전자 트랜지스터를 구성하는 요소와 동일한 요소에 대해서 제1 실시예에서 사용한 참조번호 또는 부호를 그대로 사용하였다. 그리고 상기 동일한 요소에 대해서는 설명을 생략하였다. 이러한 과정은 하기될 다른 실시예에 도 동일하게 적용하였다.

<50> 도 4를 참조하면, 본 발명의 제2 실시예에 의한 단전자 트랜지스터는 제1 기판(50) 상에 제1 절연막(52)을 구비하고, 제1 절연막(52) 상에 소오스 영역(54S), 채널영역(54C) 및 드레인 영역(54D)으로 이루어진 제2 기판(54)을 구비한다. 제2 기판(54) 상에 제2 절연막(57)이 형성되어 있다. 제2 절연막(57)은 제1 실시예에 구비된 것보다 훨씬 두껍게 형성되어 있고, 제1 및 제2 트랩층(58a, 58b)은 제1 실시예와 동일한 간격(D)을 유지한 채로 제2 절연막(57)에 포함되어 있다. 도 4에 도시한 제2 절연막(57)은 도 3의 제2 절연막(57)이 제1 및 제2 트랩층(58a, 58b)사이를 채우면서 제1 및 제2 트랩층(58a, 58b) 상으로 형성된 것으로 그 표면은 평평하게 되어 있다. 이러한 제2 절연막(57) 상에 게이트 전극(60)이 형성되어 있다.

<51> <제3 실시예>

<52> 도 5에 도시한 바와 같이, 제2 실시예에 의한 단전자 트랜지스터와 동일한 구성을 갖되, 제2 절연막(57)에 제1 및 제2 트랩층(58a, 58b)을 대신해서 제1 및 제2 트랩층(58a, 58b)과 물성이 다른 제3 및 제4 트랩층들(62a, 62b)이 포함된 것에 특징이 있다.

제3 및 제4 트랩총(62a, 62b)은 제1 및 제2 트랩총(58a, 58b)과 동일한 간격(D)으로 떨어져 있다. 제3 및 제4 트랩총(62a, 62b)은 도전성 및 소정의 트랩 사이트(trap site)를 갖는 물질총, 예를 들면 실리콘총 또는 게르마늄총이 될 수 있다. 제3 및 제4 트랩총(62a, 62b)은 도전성을 갖기 때문에, 제1 및 제2 트랩총(58a, 58b)이 각각 인접 셀의 트랜지스터와 연속된 것인데 반해, 제3 및 제4 트랩총(62a, 62b)은 각각 인접 셀의 트랜지스터에 구비된 것과 분리되어 있다.

<53> <제4 실시 예>

<54> 상기한 제1 내지 제3 실시 예와 달리 채널영역(56C)에 복수의 양자점들이 형성되도록 트랩총을 구비함에 특징이 있다.

<55> 구체적으로 도 6을 참조하면, 제1 기판(50) 상에 제1 절연막(52), 제2 기판(54) 및 제2 절연막(57)이 순차적으로 적층되어 있다. 제2 절연막(57) 상에 제5 내지 제8 트랩총들(66a, 66b, 66c, 66d)이 소정 두께로 형성되어 있다. 제5 트랩총(66a)은 채널영역(54C) 상에 형성된 제2 절연막(57)의 소정 영역 상에서 소오스 영역(54S) 위로 형성되어 있고, 제8 트랩총(66d)은 제5 트랩총(66a)과 반대로 채널영역(54C) 상에 형성된 제2 절연막(57)의 소정 영역 상에서 드레인 영역(54D) 위로 형성되어 있다. 제6 및 제7 트랩총들(66b, 66c)은 이러한 제5 및 제8 트랩총들(66a, 66d)사이의 제2 절연막(57) 상에 형성되어 있다. 제5 및 제6 트랩총들(66a, 66b)은 제1 간격(D1)으로 이격되어 있고, 제6 및 제7 트랩총들(66b, 66c)은 제2 간격(D2)으로, 제7 및 제8 트랩총들(66c, 66d)은 제3 간격(D3)으로 이격되어 있다. 제5 내지 제8 트랩총(66a, 66b, 66c, 66d)에 전자가 충전되면서 각 트랩총사이에 대응되는 채널영역(54C)에 양자점이 형성되기 때문에, 제1 내지 제3 간격(D1, D2, D3)은 채널영역(54C)에 양자점이 형성될 수 있는 값을 갖는 것이 바람

직하다. 예컨대, 상온에서 제1 내지 제3 간격(D1, D2, D3)은 100nm이하인 것이 바람직하고, 온도가 상온보다 낮아지는 경우, 그 값은 보다 작아질 수 있다. 참조부호 64a, 64b 및 66c는 제5 내지 제8 트랩총(66a, 66b, 66c, 66d)에 전자들이 충전되면서 제1 내지 제3 간격(D1, D2, D3)에 대응되는 채널영역(54C)에 형성된 제1 내지 제3 양자점들이다. 제5 내지 제8 트랩총들(66a, 66b, 66c, 66d)은 제1 내지 제3 간격(D1, D2, D3)을 통해서 제2 절연막(57)과 접촉되는 게이트 전극(60)으로 덮여 있다.

<56> <제5 실시예>

<57> 도 7에 도시한 바와 같이, 제5 내지 제8 트랩총들(66a, 66b, 66c, 66d)은 게이트 전극(60)이 아니라 제1 내지 제3 간격(D1, D2, D3)을 통해서 성장된 제2 절연막(57)으로 덮여 있고, 게이트 전극(60)은 이러한 제2 절연막(57)의 평평한 표면상에 형성되어 있다

<58> <제6 실시예>

<59> 제5 실시예와 동일한 구성이되, 도 8에 도시한 바와 같이 제2 절연막(57) 내에 제5 내지 제8 트랩총들(66a, 66b, 66c, 66d)을 대신해서 제9 내지 제12 트랩총들(68a, 68b, 68c, 68d)이 존재한다. 제9 내지 제12 트랩총들(68a, 68b, 68c, 68d)은 제5 내지 제8 트랩총들(66a, 66b, 66c, 66d)과 동일한 작용을 한다. 그러나 제9 내지 제12 트랩총들(68a, 68b, 68c, 68d)은 도전성과 소정의 트랩 사이트를 갖는 트랩 물질총, 예를 들면 실리콘총 또는 게르마늄총 등과 같은 금속 물질총이다.

<60> <제7 실시예>

<61> 도 9를 참조하면, 제1 기판(50) 상에 제1 절연막(52), 소오스 영역(54S)과 채널영역(54C)과 드레인 영역(54D)으로 이루어진 제2 기판(54), 제3 절연막(72), 제13 트랩층(74), 제4 절연막(76)이 순차적으로 적층되어 있다. 제3 절연막(72)은 터널링 산화막으로써, 예컨대 실리콘 산화막이고, 제4 절연막(76)은 제13 트랩층(74)에 트랩된 전자들이 제13 트랩층(74)으로부터 이탈되는 것을 차단하기 위한 절연막으로써, 예를 들면 실리콘 산화막이다. 제13 트랩층(74)은 전자들이 트랩될 수 있도록 소정의 트랩 사이트를 갖는 유전층, 예컨대 $10^{12}/\text{cm}^2$ 이상의 트랩 사이트 밀도를 갖는 나이트라이드층(SiN), PZT 층 등이다. 제3 및 제4 절연막들(72, 76)과 제13 트랩층(74)은 균일한 두께로 형성되어 있다.

<62> 계속해서, 제4 절연막(76)의 소정 영역 상에 두 절연막 패턴들(78a, 78b)이 소정 간격으로 떨어져 존재한다. 두 절연막 패턴(78a, 78b)은 각각 채널영역(54C) 위쪽에 형성된 제3 절연막(76)의 소정 영역 상에서 시작해서 소오스 영역(54S) 및 드레인 영역(54D) 위쪽으로 형성되어 있다. 이러한 두 절연막 패턴(78a, 78b)의 서로 마주하는 측면에 제1 및 제2 도전성 스페이서(80a, 80b)가 형성되어 있다. 제1 및 제2 도전성 스페이서(80a, 80b)는 플로팅 게이트(floating gate)로 사용되는 것으로, 예컨대 실리콘(Si) 스페이서인 것이 바람직하다. 제1 및 제2 도전성 스페이서들(80a, 80b)은 소정 간격만큼 떨어져 있다. 제13 트랩층(74)에 전자가 충전되면서 채널영역(54C)에 제1 및 제2 도전성 스페이서들(80a, 80b)의 간격에 해당하는 크기의 제4 양자점(70)이 형성된다. 따라서 제1 및 제2 도전성 스페이서들(80a, 80b)사이의 간격은 상온에서 100nm이하인 것이 바람직하다. 제1 및 제2 도전성 스페이서들(80a, 80b)이 형성된 결과물 전면에 제1 및 제2 도전성 스페이서들(80a, 80b)사이를 채우는 제5 절연막(82)이 형성되어 있다. 제5 절연막

(82)은 제3 및 제4 절연막(72, 76)보다 두꺼운 것이 바람직하다. 제5 절연막(82)의 평평한 표면에 컨트롤 게이트로 사용되는 게이트 전극(60)이 형성되어 있다.

<63> <제8 실시예>

<64> 제7 실시예의 제13 트랩층(74) 자리, 곧 제3 절연막(72)의 소정 영역 상에 제4 양자점(70)의 크기에 해당되는 간격만큼 이격된 제14 및 제15 트랩층들(84a, 84b)이 형성되어 있고, 제3 절연막(72)의 나머지 영역이 제14 및 제15 트랩층들(84a, 84b)을 덮는 제6 절연막(84)으로 덮인 것을 제외하고, 본 발명의 제8 실시예에 의한 단전자 트랜지스터는 제7 실시예와 동일한 구성을 갖는다. 제14 및 제15 트랩층들(84a, 84b)은 제9 내지 제12 트랩층들(68a, 68b, 68c, 68d)과 동일한 것으로 실리콘 트랩층 또는 게르마늄 트랩층이 될 수 있다.

<65> <제9 실시예>

<66> 제1 기판(50)에서 제3 절연막(72)까지의 구성은 상기한 실시예들과 동일하다.

<67> 도 11을 참조하면, 제3 절연막(72) 상에 제14 및 제15 트랩층들(84a, 84b)이 형성되어 있고, 제3 절연막(72)의 나머지 영역 상에 제14 및 제15 트랩층들(84a, 84b)을 덮는 제6 절연막(84)이 형성되어 있다. 제6 절연막(84)의 표면은 평평하고, 그 표면에 하부 게이트(86)가 소정의 두께로 형성되어 있다. 하부 게이트(86) 상에 제7 절연막(88)이 형성되어 있고, 제7 절연막(88) 상에 제1 및 제2 상부 게이트들(90a, 90b)이 형성되어 있다. 제6 및 제7 절연막(84, 88)은 실리콘 산화막이다. 제1 및 제2 상부 게이트들(90a, 90b)은 제14 및 제15 트랩층들(84a, 84b)에 전자를 차징할 때 사용된다. 상기 전자 차징을 위해 제1 및 제2 상부 게이트들(90a, 90b)에 소정의 전압, 예컨대 20V~30V정도 인가

된다. 제1 및 제2 상부 게이트들(90a, 90b)은 채널영역(54C)에 대응되는 제7 절연막(88)상에서 제4 양자점(70)의 크기에 대응되는 제4 간격(D4)만큼 이격되어 있다.

<68> <제10 실시 예>

<69> 도 12를 참조하면, 제9 실시 예의 제14 및 제15 트랩층들(84a, 84b)을 대신하여 제3 절연막(72)의 전면에 제13 트랩층(74)이 형성되어 있고, 제13 트랩층(74)의 전면에 제4 절연막(76)이 형성되어 있다. 나머지 구성은 제9 실시 예의 단전자 트랜지스터와 동일하다.

<70> 도 13의 (a) 및 (b)은 각각 상술한 제1 내지 제10 실시 예에 의한 단전자 트랜지스터의 트랩층에 전자를 충전하기 전후에 채널영역(54C)에 형성되는 가전자대의 에너지 장벽(Ev)과 전도대의 에너지 장벽(Ec)을 보여준다.

<71> 도 13 (a)를 참조하면, 트랩층들(62a, 62b)에 전자가 충전되지 않았을 때, 채널영역(54C)에 에너지 장벽이 형성되지 않는다.

<72> 그러나, 전자들이 트랩층들(62a, 62b)에 충전되면서 도 13 (b)에 도시한 바와 같이 트랩층들(62a, 62b) 아래의 채널영역(54C)에 에너지 장벽이 형성된다. 전자들이 트랩층(62a, 62b)에 충전되면서 상기 에너지 장벽과 함께 트랩층들(62a, 62b)사이의 채널영역(54C)에 양자점 또한 형성되므로, 상기 양자점은 상기 에너지 장벽에 둘러싸이게 된다. 이러한 결과는 양자점에 포텐셜 웨일(potential well)이 형성된 것과 동등하다.

<73> 이와 같이 트랩층들(62a, 62b)에 전자가 충전되어 양자점(도 5의 56) 둘레에 에너지 장벽이 형성되면, 도 13의 (b)도에 도시한 바와 같이 양자점(56)에 N개의 에너지 준위(E1...En)가 형성된다. 트랩층들(62a, 62b)에 전자들이 충전된 후, 게이트 전극(60)에

인가되는 전압이 에너지 준위($E_1 \dots E_n$)에 해당되는 값이면, 채널영역(54C)에 상기 에너지 장벽을 투과하는 전자의 흐름이 존재한다. 곧, 소오스 및 드레인 영역(54S, 54D) 사이에 전류가 흐르게 된다.

<74> 그러나 게이트 전극(60)에 인가되는 전압이 에너지 준위($E_1 \dots E_n$)에 해당되는 값이 아니면, 상기 본 발명의 단전자 트랜지스터는 오프(OFF) 상태가 되어 소오스 및 드레인 영역(54S, 54D)사이에 전류가 흐르지 않게 된다.

<75> 이와 같이 본 발명의 단전자 트랜지스터는 상기 양자점의 에너지 준위($E_1 \dots E_n$)에 해당되는 게이트 전압에서만 온(ON) 상태가 되기 때문에, 상기 단전자 트랜지스터가 온(ON) 상태로 될 수 있는 게이트 전압도 상기 양자점에 존재하는 에너지 준위와 마찬가지로 양자화된다.

<76> 한편, 트랩층들(62a, 62b)에 트랩된 전자들의 양에 따라 도 13의 (b)에 도시한 에너지 장벽의 높이는 달라진다. 예컨대, 트랩된 전자들의 양이 적을수록 상기 에너지 장벽의 높이는 낮게 되고, 트랩된 전자들의 양이 많을수록 상기 에너지 장벽의 높이는 높게 된다.

<77> 이와 같이 트랩된 전자들의 양에 따라 에너지 장벽의 높이가 변화하는 경우, 양자점의 에너지 상태 또한 달라져서 결국 단전자 트랜지스터가 온(ON) 상태로 될 수 있는 게이트 전압도 쉬프트되게 된다.

<78> 이러한 특성을 이용하면, 단전자 트랜지스터 상태에서도 메모리 효과를 얻을 수 있으며, 상기 에너지 장벽의 높이에 따라 양자점에서의 에너지 준위가 결정되므로, 전자가

들어갈 수 있는 에너지 준위의 수를 조절하는 경우, 단전자 트랜지스터를 멀티 상태의 메모리로 사용할 수 있다.

<79> 다음, 본 발명자는 본 발명의 단전자 트랜지스터에 대한 차징 효과, 곧 전자 트랩 효과를 알아보기 위해 게이트 전극(60)과 양자점(56)사이의 커패시턴스 및 진동주기전압(oscillation period voltage)(턴온 전압)을 측정하였다. 이때, 상기 커패시턴스 및 진동주기전압은 각각 다음 수학식 1 및 2로 주어진다.

<80>

$$\text{【수학식 1】 } C_{cg} = \epsilon_{SiO_2} W_{ch} \frac{S_{cg}}{T_{cg}}$$

<81>

$$\text{【수학식 2】 } \Delta V_{cg} = \frac{q}{C_{cg}}$$

<82> 상기 수학식 1에서, C_{cg} 는 커패시턴스를, ϵ_{SiO_2} 는 게이트 전극(60)과 양자점(56)사이에 존재하는 유전층, 곧 SiO_2 의 유전율을, W_{ch} 는 채널영역의 폭을, S_{cg} 는 트랩층들(62a, 62b)사이의 간격을, T_{cg} 는 상기 유전층의 두께를 나타낸다. 상기 수학식 2에서 q 는 트랩층에 트랩된 전하량을 나타낸다.

<83> 다음 표는 상기 수학식 1 및 2를 이용하여 본 발명에 의한 단전자 트랜지스터의 커패시턴스 및 진동주기전압을 측정한 결과를 나타낸다. 상기 측정에서 상기 채널영역의 폭(W_{ch})은 30nm, 상기 유전층의 두께는 60nm로 각각 고정하였다.

<84> 【표 1】

$S_{ch}(\text{nm})$	$C_{cg}(\text{aF})$	$\Delta V_{cg}(\text{mV})$
40	0.24	667
90	0.76	211
140	1.3	123
200	1.86	86

<85> 위의 표1를 참조하면, 트랩층들(62a, 62b)사이의 간격(Sch), 곧 양자점(56)의 크기가 작아질수록 커패시턴스(Ccg)는 작아지는 반면, 단전자 트랜지스터가 온(ON) 상태로 되는 진동주기전압(ΔV_{cg})은 증가한다는 것을 알 수 있다. 이는 트랩층들(62a, 62b)사이의 간격(Sch)이 좁아질수록 단전자 트랜지스터 효과가 증가함을 의미한다.

<86> 상기 측정 결과를 그래프로 나타낸 것이 도 14 및 도 15이다.

<87> 도 14에서 제1 그래프(G1)는 양자점(56)의 크기, 곧 트랩층들(62a, 62b)사이의 간격(Sch)에 따른 진동주기전압(ΔV_{cg}) 및 커패시턴스(Ccg)의 변화를 보여준다. 그리고 도 15의 제3 내지 제5 그래프들(G3, G4, G5)은 각각 트랩층들사이의 간격(Sch)이 140nm, 90nm 및 40nm일 때의 컨트롤 게이트 전압(V)에 따른 드레인 전류(nA)의 변화를 보여준다.

<88> 제3 내지 제5 그래프들(G3, G4, G5)을 참조하면, 최초의 드레인 전류 피크가 나타난 시점으로부터 상기 컨트롤 게이트 전압이 진동주기전압(ΔV_{cg})만큼 증가할 때마다 드레인 전류 피크도 주기적으로 나타남을 알 수 있다.

<89> 이러한 현상으로부터 상기하였듯이 본 발명의 단전자 트랜지스터의 게이트 전압이 양자화된 것을 알 수 있다.

<90> 계속해서, 상술한 본 발명의 단전자 트랜지스터의 제조 방법을 설명한다.

<91> 도 16을 참조하면, 제1 기판(50) 상에 제1 절연막(52), 제2 기판(54), 제2 절연막(57) 및 트랩 물질층(58)을 순차적으로 형성한다. 이때, 제1 및 제2 절연막(52, 57)은 실리콘 산화막으로 형성하고, 트랩 물질층(58)은 소정의 트랩 사이트, 예컨대 $10^{12}/\text{cm}^2$ 상의 트랩 사이트를 갖는 유전층 또는 도전층으로 형성한다. 전자의 경우, 트랩 물질층

(58)은 실리콘 나이트라이드층 또는 PZT층 등으로 형성되나, 이외의 다른 유전층으로 형성될 수 있다. 후자의 경우, 트랩 물질층(58)은 실리콘층 또는 게르마늄층으로 형성하는 것이 바람직하나, 동등한 다른 물질층으로 형성할 수 있다.

<92> 계속해서, 트랩 물질층(58) 상에 감광막(미도시)을 도포한다. 이어 통상의 사진과정을 실시하여 상기 감광막을 패터닝하면, 소정 간격(D)으로 이격되어 트랩 물질층(58)의 일부가 노출되는 제1 감광막 패턴(M1)이 트랩 물질층(58) 상에 형성된다. 이후, 제1 감광막 패턴(M1)을 식각 마스크로 사용하여 트랩 물질층(58)의 노출된 영역을 제2 절연막(57)이 드러날 때까지 제거한다. 이 과정에서 제1 감광막 패턴(M1)의 모양은 트랩 물질층(58)에 그대로 전사되고, 제1 감광막 패턴(M1)간의 간격(D)에 의해 차후 제2 기판(54)에 형성될 양자점의 크기가 결정되므로, 제1 감광막 패턴(M1)간의 간격(D)은 0보다는 크되, 100nm이하인 것이 바람직하다. 트랩 물질층(58)의 노출된 영역이 제거된 후, 제1 감광막 패턴(M1)을 제거한다.

<93> 도 17은 제1 감광막 패턴(M1)이 제거된 후의 결과물의 단면을 보여준다.

<94> 도 17을 참조하면, 제2 절연막(57) 상에 트랩 물질층(58)의 식각 산물인 제1 및 제2 트랩층들(58a, 58b)이 형성된 것을 볼 수 있다. 제1 및 제2 트랩층들(58a, 58b)은 제1 감광막 패턴(M1)간의 간격(D)과 동일한 간격으로 이격된다.

<95> 도 18을 참조하면, 제2 절연막(57)을 성장시켜 제1 및 제2 트랩층들(58a, 58b) 상으로 제2 절연막(57)을 소정의 두께로 형성한 다음, 그 표면을 평탄화한다.

그리고 제2 절연막(57)의 평탄화된 표면에 게이트 전극(60)을 소정 두께로 형성한다. 게이트 전극(60) 상에 제2 기판(54)에 소오스 및 드레인 영역(도 19의 54S, 54D 참조)을 형성하기 위한 제2 감광막 패턴(M2)을 형성한다. 이어서 제2 감광막 패턴(M2)을 마스크로 하여 제2 감광막 패턴(M2)이 형성된 결과물 전면에 도전성 불순물(92), 예컨대 제2 기판(54)에 도핑된 도전성 불순물과 반대되는 불순물을 이온 주입한다. 제2 감광막 패턴(M2)은 제1 및 제2 트랩충들(58a, 58b)이 이격된 영역을 중심으로 하는 게이트 전극(60)의 소정 영역 상에 형성하는 것이 바람직하다. 또한, 상기 이온 주입은 제2 기판(54)에 소오스 및 드레인 영역을 형성하기 위한 것이므로, 도전성 불순물(92)이 제2 기판(54)에 충분히 도달될 수 있을 정도의 에너지로써 실시하는 것이 바람직하다. 이후, 제2 감광막 패턴(M2)을 제거하면, 도 19에 도시한 바와 같이, 제2 기판(54)의 제2 감광막 패턴(M2)에 대응되는 영역에 채널영역(54C)이 형성되고, 채널영역(54C) 양쪽에 소오스 영역(54S) 및 드레인 영역(54D)이 형성된다.

<96> 한편, 도 20에 도시한 바와 같이 제2 절연막(57)의 채널영역(54C)에 대응되는 소정 영역 상에 게이트 전극 패턴(60a)을 형성한 다음, 게이트 전극 패턴(60a)이 형성된 결과물 전면에 상기한 도전성 불순물(92)을 이온 주입하는 경우에도 제2 기판(54)에 소오스 및 드레인 영역들(54S, 54D)이 형성될 수 있다. 이때, 도전성 불순물(92)의 이온 주입에너지는 상기한 바와 같다.

<97> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 게이트 전극을 어느 한 트랩충 상으로만 구비하거나 형성할 수 있고, 트랩충을 서로 다른 유전충 또는 서로 다른 도전

층으로 구성할 수 있을 것이다. 또한, 절연막 및 기판(또는 반도체층)으로 구성된 SOI기판에 터널링 산화막을 형성하기 전에 상기 기판을 얇게하는 공정을 더 실시할 수도 있다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<98> 상술한 바와 같이, 본 발명에 의한 단전자 트랜지스터의 경우, CMOS 공정을 이용하여 트랩층들을 형성하기 때문에, 트랩층들사이의 간격을 정확하게 형성할 수 있고 높은 재현성을 유지할 수 있는데, 이것은 양자점이 형성되는 위치 및 크기를 균일하게 하면서 재현성을 높일 수 있음을 의미한다. 이와 함께 본 발명에 의한 단전자 트랜지스터의 경우는 종래와 달리 단일 게이트를 구비하므로 종래보다 전력 소모량이 적고 제조 공정도 간단하다. 따라서 동작회로도 종래보다 간단하게 구성할 수 있다.

【특허청구범위】**【청구항 1】**

순차적으로 적층된 제1 기판 및 절연막;

상기 절연막 상에 적층되어 소오스 영역, 채널영역 및 드레인 영역으로 구분된 제2 기판;

상기 제2 기판 상에 형성된 터널링 막;

상기 채널영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 터널링 막 상에 형성된 적어도 두 개의 트랩충들; 및

상기 적어도 두 개의 트랩충들사이의 상기 터널링 막 및 상기 트랩충들과 접촉된 게이트 전극을 구비하는 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 2】

제 1 항에 있어서, 상기 게이트 전극은 상기 트랩충들 상으로 확장된 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 3】

제 1 항에 있어서, 상기 트랩충들은 질화막 또는 강유전막인 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 4】

순차적으로 적층된 제1 기판 및 제1 절연막;

상기 제1 절연막 상에 적층되어 소오스 영역, 채널영역 및 드레인 영역으로 구분된 제2 기판;

상기 제2 기판 상에 형성된 제2 절연막;

상기 채널영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 제2 절연막에 내재되어 상기 채널영역으로부터 터널링되는 전자가 트랩되는 적어도 두 개의 트랩충들; 및

상기 제2 절연막 상에 형성된 게이트 전극을 구비하는 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 5】

제 4 항에 있어서, 상기 트랩충들은 질화막 또는 강유전막인 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 6】

제 4 항에 있어서, 상기 트랩충들 각각은 상기 제2 절연막에 의해 완전히 둘러싸인 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 7】

제 6 항에 있어서, 상기 트랩충들은 도전성 실리콘충 및 도전성 게르마늄충을 포함하는 도전성 물질충들로 이루어진 군 중 선택된 어느 하나인 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 8】

제 4 항에 있어서, 상기 제1 및 제2 절연막은 동일한 산화막인 것을 특징으로 하는 메모리 기능을 갖는 단전자 트랜지스터.

【청구항 9】

제1 반도체층 상에 절연막 및 제2 반도체층을 순차적으로 형성하는 제1 단계;

상기 제2 반도체층 상에 터널링 막을 형성하는 제2 단계;

상기 제2 반도체층의 소정 영역에 적어도 하나의 양자점이 형성될 수 있을 정도의 간격으로 상기 터널링 막 상에 적어도 두 개의 트랩층들을 형성하는 제3 단계;

상기 트랩층들사이의 상기 터널링 막과 접촉되도록 게이트 전극을 형성하는 제4 단계; 및

상기 제2 반도체층에 도전성 불순물이 도핑된 소오스 및 드레인 영역을 형성하되, 상기 트랩층들사이의 간격보다 넓게 형성하는 제5 단계를 포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 10】

제 9 항에 있어서, 상기 제4 단계에서 상기 게이트 전극은 상기 트랩층들의 전면에 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 11】

제 9 항에 있어서, 상기 제4 단계에서 상기 게이트 전극은 상기 트랩층들의 일부 영역 상에만 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 12】

제 9 항에 있어서, 상기 제4 단계는,

상기 트랩층들을 덮도록 상기 터널링 막을 성장시키는 단계; 및

상기 트랩총들 상으로 성장된 상기 터널링 막의 전면에 상기 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 13】

제 9 항에 있어서, 상기 제4 단계는,

상기 트랩총들을 덮도록 상기 터널링 막을 성장시키는 단계; 및

상기 트랩총들 상으로 성장된 상기 터널링 막의 일부 영역 상에 상기 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 14】

제 10 항에 있어서, 상기 제5 단계는,

상기 소오스 및 드레인 영역사이에 대응되는 상기 게이트 전극의 소정 영역 상에 마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴이 형성된 면에 상기 도전성 불순물을 이온 주입하는 단계를 더 포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 15】

제 11 항에 있어서, 상기 제5 단계에서 상기 소오스 및 드레인 영역은 상기 게이트 전극을 마스크로 하여 상기 게이트 전극이 형성된 면에 상기 도전성 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 16】

제 12 항에 있어서, 상기 제5 단계는,

상기 소오스 및 드레인 영역사이에 대응되는 상기 게이트 전극의 소정 영역 상에
마스크 패턴을 형성하는 단계; 및

상기 마스크 패턴이 형성된 면에 상기 도전성 불순물을 이온 주입하는 단계를 더
포함하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 17】

제 13 항에 있어서, 상기 제5 단계에서 상기 소오스 및 드레인 영역은 상기 게이트
전극을 마스크로 하여 상기 게이트 전극이 형성된 면에 상기 도전성 불순물을 이온 주입
하여 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 18】

제 10 항 또는 제 11 항에 있어서, 상기 트랩층들은 트랩밀도가 적어도 $10^{12}/\text{cm}^2$ 인
질화막 또는 강유전막으로 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 19】

제 12 항 또는 제 13 항에 있어서, 상기 트랩층들 각각을 완전히 둘러싸도록 상기
터널링 막을 성장시키는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 20】

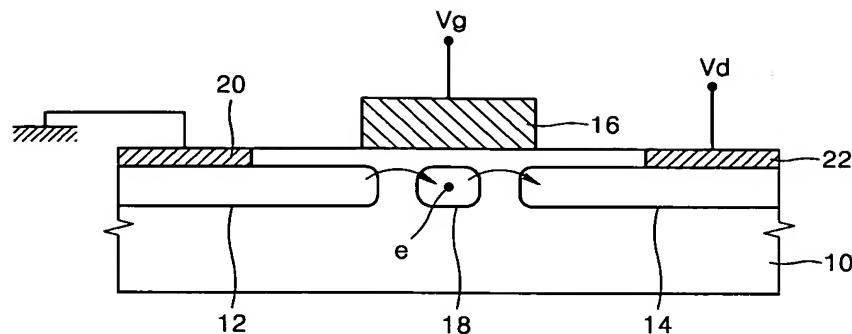
제 12 항 또는 제 13 항에 있어서, 상기 트랩층들은 트랩밀도가 적어도 $10^{12}/\text{cm}^2$ 인
질화막 또는 강유전막으로 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조 방법.

【청구항 21】

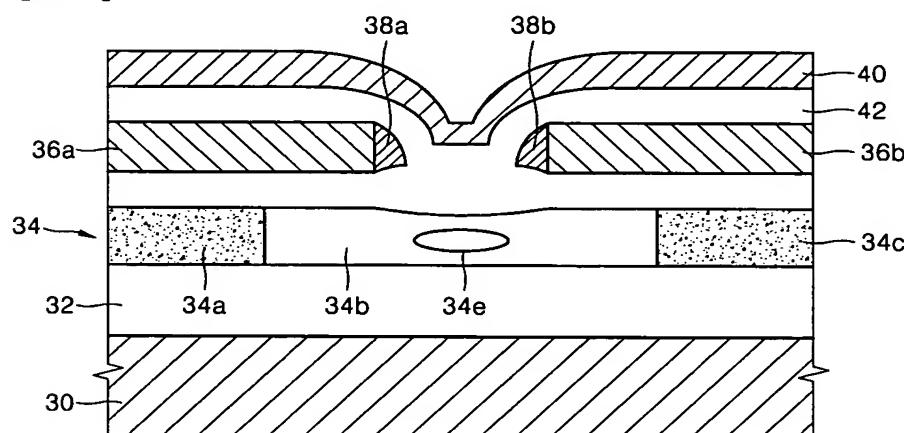
제 19 항에 있어서, 상기 트랩충들은 도전성 실리콘충 및 도전성 게르마늄충을 포함하는 도전성 물질충들로 이루어진 군 중 선택된 어느 하나로 형성하는 것을 특징으로 하는 단전자 트랜지스터 제조방법.

【도면】

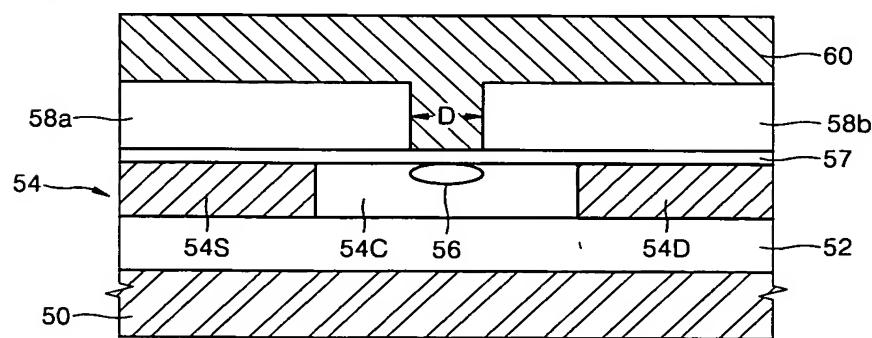
【도 1】



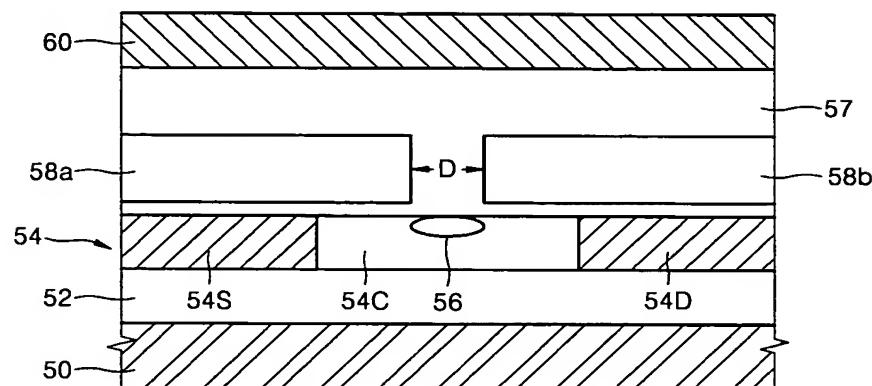
【도 2】



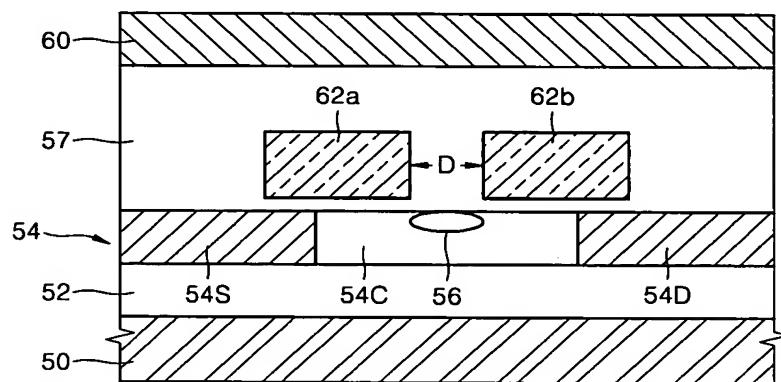
【도 3】



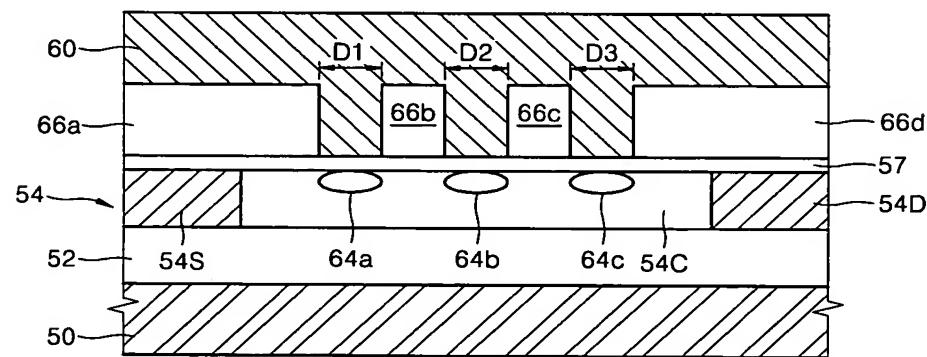
【도 4】



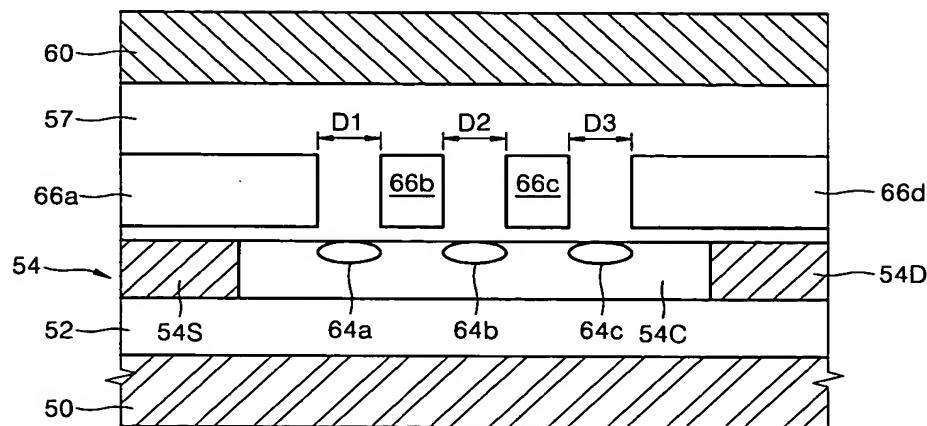
【도 5】



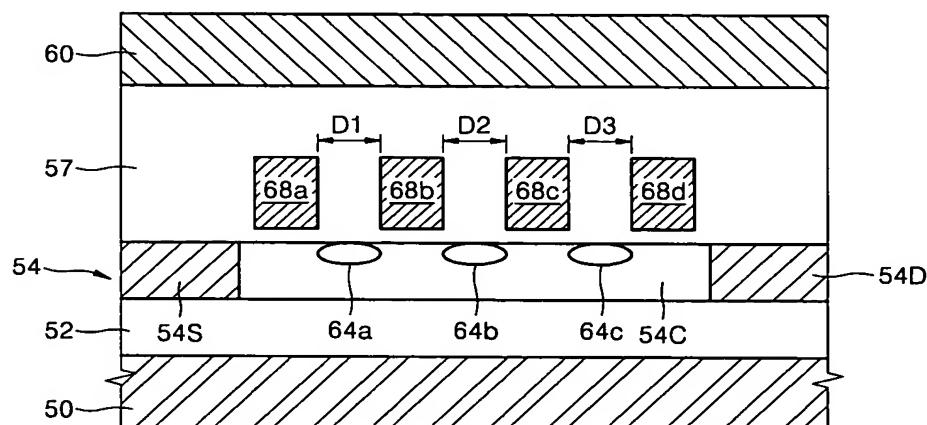
【도 6】



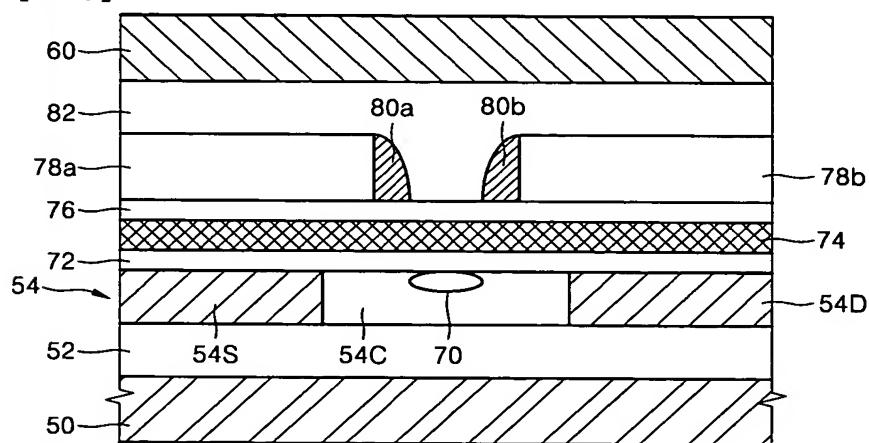
【도 7】



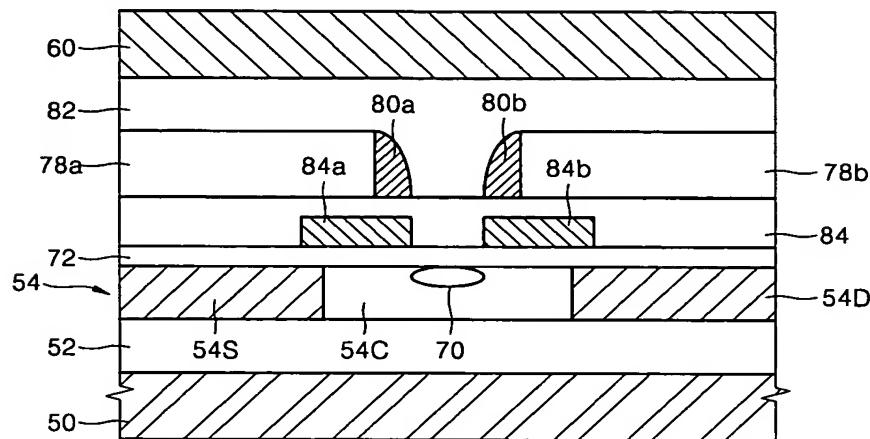
【도 8】



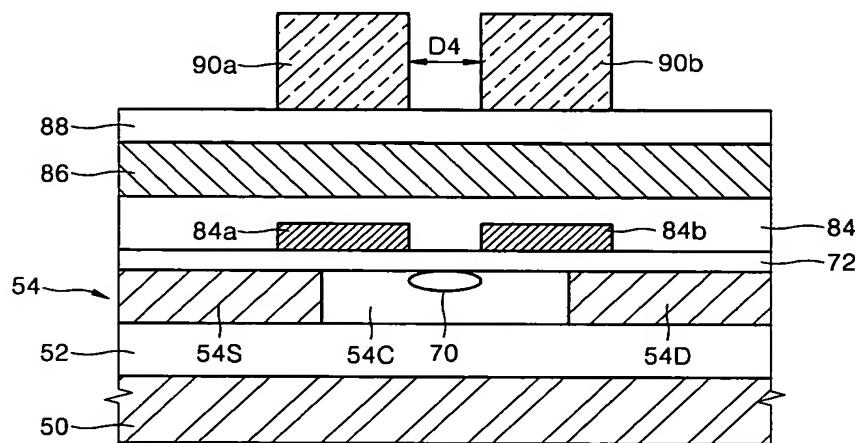
【도 9】



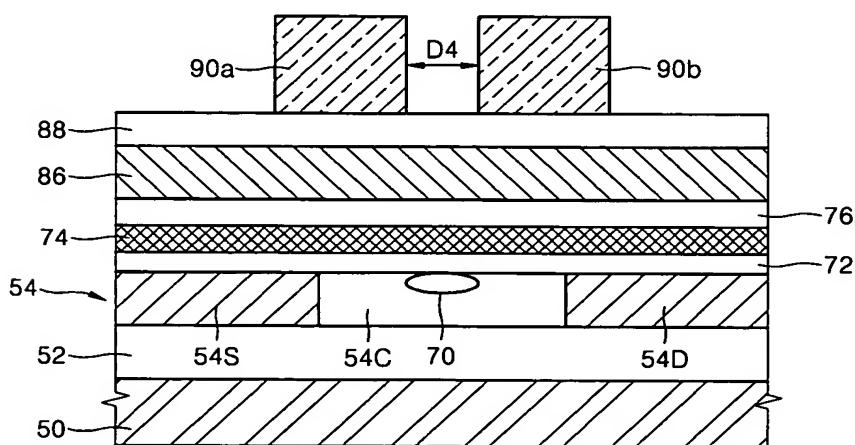
【도 10】



【도 11】



【도 12】



1020030007758

출력 일자: 2003/3/8

【도 13a】



E_c ——————

E_v ——————

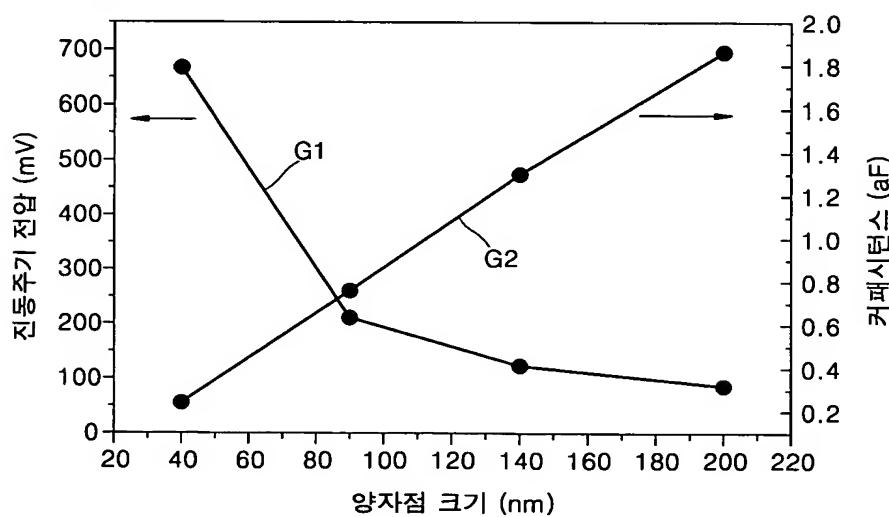
【도 13b】



E_c —————— EN : E1 ——————

E_v ——————

【도 14】

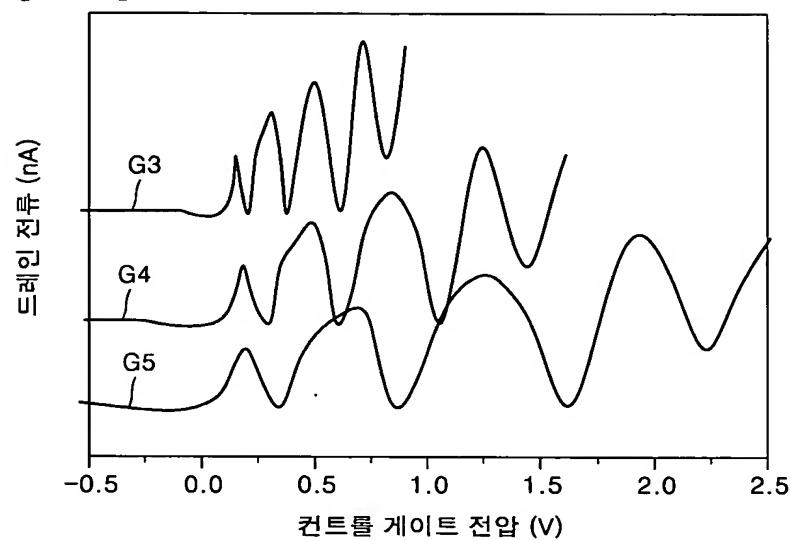




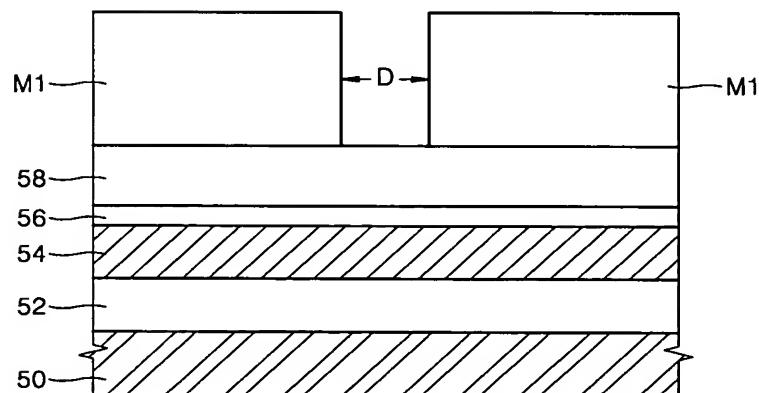
1020030007758

출력 일자: 2003/3/8

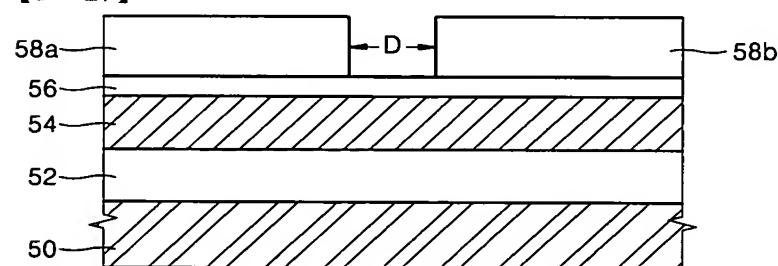
【도 15】



【도 16】



【도 17】

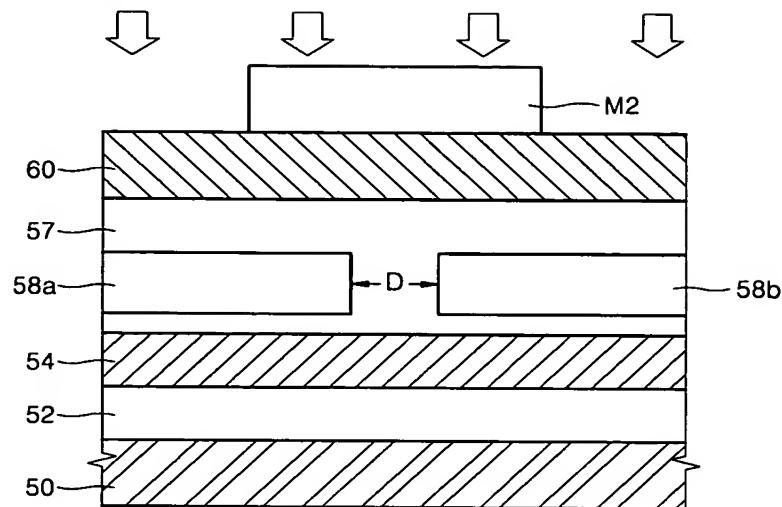




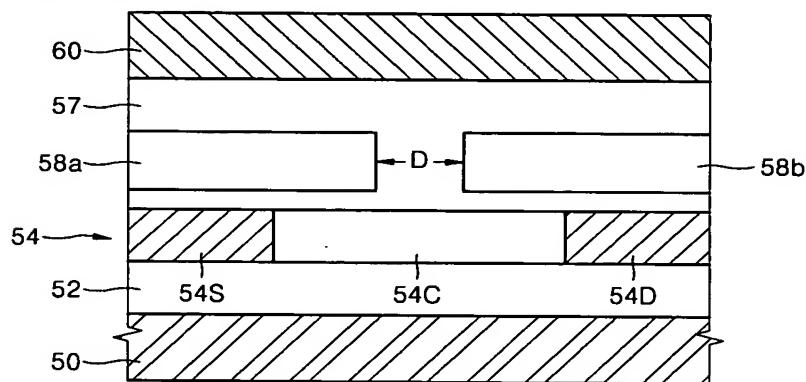
1020030007758

출력 일자: 2003/3/8

【도 18】



【도 19】



【도 20】

